

W1248

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-197899

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

G11C 29/00

G01R 31/28

(21)Application number : 2000-392831

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.12.2000

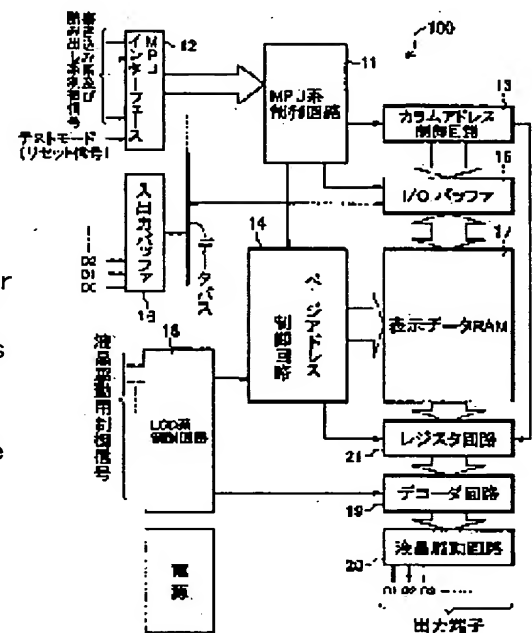
(72)Inventor : ISHII SEIICHI

(54) SEMICONDUCTOR DEVICE AND ITS TEST METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its test method in which a test time can be shortened further.

SOLUTION: In an LCD(liquid crystal display) driver 100, a register circuit 21 taking in the prescribed quantity of data from a display data RAM 17 is provided at a previous stage of a decoder circuit 19. The register circuit 21 is controlled by a column address control circuit 13 and a page address control circuit 14, the prescribed quantity of data (several bytes) decoded by the decoder circuit 19 is temporarily accumulated. In test mode, a liquid crystal driving signal of which the liquid crystal level output is controlled is obtained from a liquid crystal driving circuit 20 by utilizing the prescribed quantity of data taken in the register 21 even in the midst of performing a function test of a display data RAM 17 single body in which write and read are always performed at high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2003 09 26 14:36

【特許請求の範囲】

【請求項 1】 データの書き込み読み出しが可能な記憶部を有し、そのうち所定量データのデコード結果より複数の外部端子それぞれから所定レベルの電圧信号を出力する半導体装置であって、

前記記憶部の他に前記所定量データを取り込む一時記憶部を具備し、前記記憶部単体の機能試験実施に伴い前記一時記憶部のデータを利用して前記所定レベルの電圧信号出力に関する電気特性試験を並列して実施できるようにしたことを特徴とする半導体装置。

【請求項 2】 データの書き込み読み出しが可能な記憶部、前記データのうち所定量データを取り込む一時記憶部を備え、所定量データのデコード結果より複数の外部端子それぞれから所定レベルの電圧信号を出力する半導体装置を試験する方法であって、

前記半導体装置において記憶部単体の機能試験を行う前記記憶部に対する試験パターン信号の授受と共に前記一時記憶部のデータを利用して前記外部端子それぞれから得られる所定レベルの電圧信号を順次期待値と比較しその良否を判定する並列処理がテストシステムとして実施されることを特徴とする半導体装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に記憶部に取り込まれたデータをデコード処理して多数の外部端子それぞれに所定レベルの信号を出力させる半導体装置及びその試験方法に関する。

【0002】

【従来の技術】LSI製造の組立工程前におけるウェハ状態、あるいはベアチップ状態での半導体製品の電気的特性検査（各種試験、測定を含めた検査）では、テスターと共に使用される半導体測定装置が利用される。

【0003】テスター本体には、被測定半導体製品における電気的特性検査に利用される信号の生成、解析に係るテストシステムが構築されている。すなわち、テストシステムとして上記電気的特性検査に関する各試験項目が記述された全プログラムに従って、信号伝達系を介し被測定半導体製品に対して電気的特性検査が実施される。

【0004】被測定半導体製品からの信号結果は、テスター本体へ伝達され、期待値と比較するなどして機能の良否を判定したり、入出力信号、電源部分の電圧、電流などのアナログ値等の測定、解析がなされる。このような検査によって良品として選別されたLSIチップのみの組立工程へと回される。

【0005】

【発明が解決しようとする課題】半導体製品の中には、メモリ（RAM）が組み込まれている回路構成もある。例えば液晶表示ドライバなどは、メモリに蓄えられた所定量データに従った液晶表示駆動のための制御信号を出

力する。

【0006】このような製品における電気的特性検査（各種試験、測定を含めた検査）では、メモリ単体の機能試験も当然実施される。すなわち、メモリセルへのデータ書き込みが正常に行われているか否かを検査する。さらに、液晶表示駆動のための制御信号に関し、正常な出力レベルが得られるか否かの電気特性試験が実施される。

【0007】上記メモリ単体の機能試験及び出力に関する電気特性試験は、従来、シリアルなプログラムによって実行されていた。駆動出力数が多くなるとメモリ容量も増大し、試験時間はメモリ単体の機能試験及び出力に関する電気特性試験両者とも長くなる。これにより、生産効率の低下を招く。

【0008】本発明は上記のような事情を考慮してなされたもので、記憶部に取り込まれたデータをデコード処理して多数の外部端子それぞれに所定レベルの信号を出力させる半導体装置において、検査時間をより短くし得る半導体装置及びその試験方法を提供しようとするものである。

【0009】

【課題を解決するための手段】本発明は、データの書き込み読み出しが可能な記憶部を有し、そのうち所定量データのデコード結果より複数の外部端子それぞれから所定レベルの電圧信号を出力する半導体装置であって、前記記憶部の他に前記所定量データを取り込む一時記憶部を具備し、前記記憶部単体の機能試験実施に伴い前記一時記憶部のデータを利用して前記所定レベルの電圧信号出力に関する電気特性試験を並列して実施できるようにしたことを特徴とする。

【0010】上記本発明に係る半導体装置によれば、一時記憶部を設けたことにより、記憶部単体の機能試験実施に伴うデータの書き込み読み出しが繰り返し行われる間、所定量データに関しては一時記憶部に取り込めるようになる。これにより、記憶部単体の機能試験及び所定レベルの電圧信号出力に関する電気特性試験を並列して実施できる。

【0011】また、本発明は、データの書き込み読み出しが可能な記憶部、前記データのうち所定量データを取り込む一時記憶部を備え、所定量データのデコード結果より複数の外部端子それぞれから所定レベルの電圧信号を出力する半導体装置を試験する方法であって、前記半導体装置において記憶部単体の機能試験を行う前記記憶部に対する試験パターン信号の授受と共に前記一時記憶部のデータを利用して前記外部端子それぞれから得られる所定レベルの電圧信号を順次期待値と比較しその良否を判定する並列処理がテストシステムとして実施されることを特徴とする。

【0012】上記本発明に係る半導体装置の試験方法によれば、データの書き込み読み出しが繰り返し行われる

記憶部単体の機能試験に伴い、一時記憶部に取り込んだ所定量データによって所定レベルの電圧信号出力に関する電気特性試験を並列して行わせる。

【0013】

【発明の実施の形態】図1は、本発明の一実施形態に係る半導体装置の要部構成を示す回路ブロック図である。図は、メモリに蓄えられた所定量データに従った液晶表示駆動のための制御信号を出力するLCDドライバ（液晶表示ドライバ）を示す要部構成である。

【0014】LCDドライバ100は次のような構成を含む。MPU系制御回路11は、図示しないMPU（Micro Processing Unit）からの制御信号をMPUインタフェース12を介して取り込む。MPU系制御回路11は、カラムアドレス制御回路13、ページアドレス制御回路14及びI/Oバッファ15に関する信号伝達を制御する。

【0015】I/Oバッファ15は、カラムアドレス制御回路13の制御により、入出力バッファ16やデータバスを介して所定の複数ビットのデータDn（D0、D1、D2、D3…）の授受を担う。かつ、I/Oバッファ15は、表示データRAM17に対しアクセスする場合の双方向バッファとなる。複数ビットのデータDnはカラムアドレス制御回路13、ページアドレス制御回路14に従って格納される表示データRAM17における書き込みまたは読み出しのデータに対応する。

【0016】LCD系制御回路18は、外部と液晶駆動（または液晶表示；LCD）に関する制御信号の発生と伝達、及びページアドレス制御回路14及びデコーダ回路19を制御する。デコーダ回路19は、LCD系制御回路18の制御により表示データRAM17における所定量データをデコードし、液晶駆動を行う上で必要な制御信号を液晶駆動回路20に伝達する。液晶駆動回路20は、デコーダ回路19で決定されたドライバ制御信号により液晶駆動電圧を選択し、出力端子On（O1、O2、O3、…O100、O101、O102、…O150、O151、…）に液晶駆動信号を出力する。

【0017】このような出力端子Onからの液晶駆動信号は、図示しないLCDパネルのX軸駆動を制御するセグメント出力またはY軸駆動を制御するコモン出力、あるいは両方備えた信号として外部に出力される。

【0018】この実施形態ではデコーダ回路19の前段に、表示データRAM17から所定量データを取り込むレジスタ回路21が設けられている。レジスタ回路21は、カラムアドレス制御回路13及びページアドレス制御回路14に制御され、デコーダ回路19でデコードされる分の所定量データ（数バイト）が一時的に蓄積されるようにラッチ回路群で構成される。

【0019】上記LCDドライバ100において、テストモードにされたとき、常時高速に書き込み読み出しされる表示データRAM17単体の機能試験が実施されて

いる最中でも、上記レジスタ回路21に取り込んだ所定量データを利用して液晶駆動回路20から液晶レベル出力が制御された出力端子Onへの液晶駆動信号が得られる。この液晶駆動信号に対し、正常な出力レベルが得られるか否かの電気特性試験を実施することができる。

【0020】上記構成によれば、図示しない半導体測定装置におけるテスト本体のテストシステムを変更すれば、表示データRAM17単体の機能試験と液晶駆動信号の電気特性試験を並列に処理できる。

【0021】図2は、本発明の一実施形態に係る半導体装置の試験方法の要部を示す処理図である。半導体装置は図示しない半導体測定装置により試験（テスト）される。半導体測定装置（図示せず）は、テスターと共に使用されるプローバやICハンドラ等が考えられる。

【0022】図示しないテスター本体には、被測定半導体製品（ウェハやチップ）における機能試験や電気的特性の検査に利用される信号の生成、解析に関するテストシステムが構築されている。すなわち、テストシステムとして各試験項目が記述された全プログラムに従って、信号伝達系を介し被測定半導体製品に対して検査が実施される。

【0023】上記のようなテストシステムの一部として、メモリ単体の機能試験用のテストパターン信号と、所定出力に関する各種DC試験（電気特性試験）用の信号とを同時に被測定半導体製品の対応する端子にそれぞれ供給するようにする。そして両試験は並列処理プログラムとする。

【0024】図2を参照すると、例えば図1に示すようなLCDドライバ100に対し、テスト処理の流れの中で、構成される全てのバッファや伝達系の各種DC試験（電気特性試験；電圧、電流、抵抗などのアナログ値等の測定、解析）に伴う信号測定、検査が実施される（DC1）。

【0025】その後、表示データRAM17単体の機能試験（FUNC1）及び液晶駆動信号出力のDC試験（DC2）が並列処理される。すなわち、FUNC1では、表示データRAM17に対し、外部と入出力バッファ16等を介してテストパターンの書き込み読み出しの伝達動作が、テスト項目を満たすまで繰り返される。その際、LCD系制御回路18に対し、特定の書き込みデータをレジスタ回路21に所定量データとして蓄積するように制御信号を与える。

【0026】これにより、表示データRAM17単体の機能試験と、所定のタイミングで取り込まれるレジスタ回路21のデータを利用して液晶駆動信号の所定レベルの電圧信号を順次期待値と比較しその良否を判定するDC試験（DC2）が並列処理可能になる。

【0027】なお、上記液晶駆動信号のレベル出力試験には、図示しないがディジタル化を用いた半導体スキャナによる各出力の逐次サンプリングが試験時間短縮に

寄与する。

【0028】上記のような各実施形態によれば、メモリを内蔵し、メモリに取り込まれたデータを用いて多数の外部端子それぞれに所定レベルの信号を出力させる半導体装置において、上記所定レベルの信号を出力させるデータを蓄積しておくレジスタ回路のような一時記憶部を追加する。これにより、データの書き込み読み出しが繰り返し行われるメモリ単体の機能試験実施時、所定量データに関しては一時記憶部に取り込めるようになる。

【0029】このようにすれば、メモリ単体の機能試験及びメモリのデータに応じた所定出力に関する電気特性試験両者を並列処理可能なように構成できる。今後、出力数が多くなりメモリ容量も増大する半導体装置における試験時間の短縮、生産効率の向上に寄与する。

【0030】

【発明の効果】以上説明したように本発明によれば、内蔵されたメモリのデータを用いて多数の外部端子それぞれに所定レベルの信号を出力させる半導体装置において、ハード構成を少し変えることでメモリ単体の機能試験及びメモリのデータに応じた所定出力に関する電気特性試験両者を並列処理可能なように構成できる。もちろん測定装置側もテストシステムを変更する必要がある。

この結果、検査時間をより短くし得る半導体装置及びその試験方法を提供することができる。

【図面の簡単な説明】

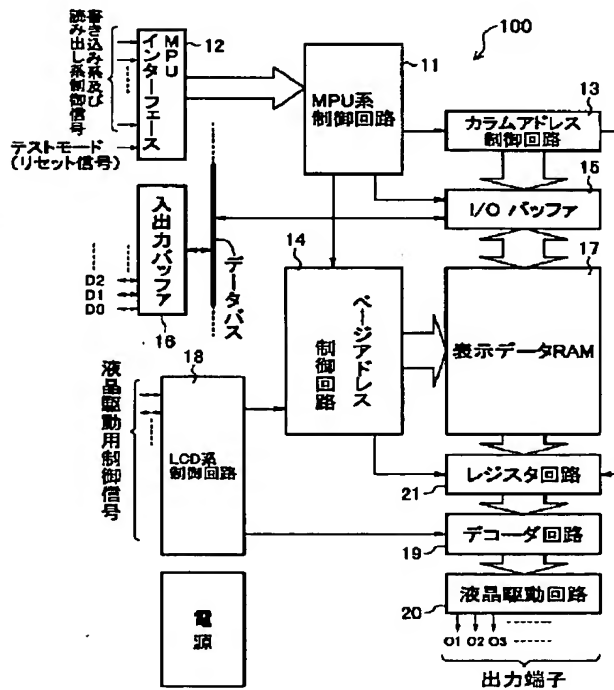
【図1】本発明の一実施形態に係る半導体装置の要部構成を示す回路ブロック図である。

【図2】本発明の一実施形態に係る半導体装置の試験方法の要部を示す処理図である。

【符号の説明】

- 100...LCDドライバ（液晶表示ドライバ）
- 11...MPU系制御回路
- 12...MPUインタフェース
- 13...カラムアドレス制御回路
- 14...ページアドレス制御回路
- 15...I/Oバッファ
- 16...入出力バッファ
- 17...表示データRAM
- 18...LCD系制御回路
- 19...デコード回路
- 20...液晶駆動回路
- 21...レジスタ回路
- DC1, DC2...DC試験
- FUNC1...機能試験

【図1】



【図2】

